

## 電子計算機に於ける理論構成に関する研究

著者	野口 正一
号	31
発行年	1960
URL	<a href="http://hdl.handle.net/10097/8767">http://hdl.handle.net/10097/8767</a>

氏 名	の ぐち しやう いち 野 口 正 一
授 与 学 位	工 学 博 士
学 位 授 与 年 月 日	昭 和 36 年 3 月 24 日
学 位 授 与 の 根 拠 法 規	学 位 規 則 第 5 条 第 1 項
研 究 科 , 専 攻 の 名 称	東 北 大 学 大 学 院 工 学 研 究 科 ( 博 士 課 程 ) 電 気 及 通 信 工 学 専 攻

学 位 論 文 題 目	電 子 計 算 機 に 於 け る 理 論 構 成 に 関 す る 研 究
-------------	---------------------------------------

指 導 教 官	東 北 大 学 教 授	本 多 波 雄
論 文 審 査 委 員	東 北 大 学 教 授	本 多 波 雄
	東 北 大 学 教 授	大 泉 充 郎
	東 北 大 学 教 授	野 邑 雄 吉
	東 北 大 学 教 授	菊 地 正

# 論文内容要旨

## 概 要

本論文は電子計算機構成に関する基本的問題について考察を行う。論文の構成を三章に分ち、第一章に於いては計算機に於ける最も基本的な問題即ち符号系の問題が error correcting code の立場より論ぜられる。これは計算機自体が構能的に一つの情報処理装置であり、送信側よりの信号は、計算機の中で、既に定められた法則に従う logical operation を経て受信側に至る通信系と考えられることに着目し、計算機内に於ける符号系の問題に通信理論を積極的に活用することを試みたものである。このための必要手段として code を vector 空間内の一点と考える field 中に新たな測度を導入する。これにより符号の遷移が適確に表現される。そしてこの field の上に P 進符号系の群構成を行う具体的方法が示される。次に error correcting code を用いて誤りをなくする計算機への適用例が示される。第二章では多数決素子をただ単なる論理和、論理積から眺めることなく、別の立場即ち幾何学的な考察を対象の主体として理論を進める。このため多数決回路の有する自由度が十分に活用され、実際の論理設計に対し甚だ有効な手段を提供する。特にここでは三章二節の SENAC-1 の論理設計の要素としてパラメトロンを使用することに着目し、この設計に対しての実際的方法が示してある。又確率論理素子からみた多数決回路についての議論も行はれ、P state の多数決素子の情報遷移の問題及びそれに対処する素子の使用法の問題が中心である。

第三章第一節では実際の電子計算機設計に際して特に重要となる基本的問題について考察を行う。その二三の例として計算機に於ける数の表現及びその処理の問題、計算機内に於ける情報の transmission 及びその制御の考察、又同時加算、carry の取り扱い、組み込み指令として計算できる関数係の取り扱い等である。第二節では今迄の考察に従って設計された SENAC-1 の実際の演算制御の回路について論ぜられる。SENAC-1 の全体を詳細に論ずることは不可能であるが特にその重要な点については詳細に触れる。全体の構成は演算制御の各回路に二大別され全体の詳細は本論文に添加した計算機の図面を参照せられ度い。

## 第一章 情報処理に関する基本的考察

### 第一節 情報処理に伴う情報の遷移

計算機に於いて code 化された符号系の基本的な問題についてふれる。此の符号空間を metric なものにするため、測度を導入してそれを規定する。即ち符号系を一つの数学的な場の上に作る。このとき、場の二点間の関係が距離である。この場に次に示す4つの普遍的な条件を入れてみる。

- i) 測度系は通常の測度の条件を満足する。
- ii) 測度系は時間的に不変である。
- iii) 測度系は符号の長さ(次元)に関して直線関係にある。
- iv) 測度系は可逆的である。

ここで次の量を定義する。

- 1) 符号の次元; 符号の長さ  $n$  で示す。
  - 2)  $M[V_i, V_j]$ : 考える2つの符号  $V_i, V_j$  間の距離
  - 3)  $V_i \otimes V_j$ ;  $V_i, V_j$  を夫々  $n_1, n_2$  次元の符号としたとき、 $V_i, V_j$  を縦続接属した  $(n_1 + n_2)$  次元の符号。実際の具体的な距離を考えてみる。
- Hamming の例は

$$M[V_i V_j] = \sum_{i=0}^{n-1} a_i \oplus b_i \quad (a_i, b_i = 0, 1) \quad (1)$$

一般的に

$$M[V_i, V_j] = \sum_i |a_i - b_i|^{s/t} \quad s \geq t, s > 0, t > 0, \quad (2)$$

( $a_i, b_i = 0, \dots, p-1, \quad p$  進のとき)

更に

$$M[V_i, V_j] = \sum_i f |a_i - b_i| \quad (3)$$

等が考えられる。その他いろいろのものも与えられるが、そのときに応じて距離を設定すれば良い。

## 第二節 情報の遷移確率の計算

計算機を含めた一般情報処理装置の中では信号の遷移を考察することは極めて重要で、ここでは第一節で規定された空間内の、2つの vector 間の距離を、次に示す model のもとで計算する。ここで符号、即ち信号は一つの通信路にのせられたものとする。通信路の遷移条件として次の仮定を置く。

(1) 通信系は  $s$  個の中継動作を有する線路で、各信号はその中継動作の中で  $P$  個の状態に量子化される。

(2) 一つの中継動作から次の段の中継動作に送られる信号を考えると、信号がその状態に止まる確率が最も大きく、以下次の段への遷移、次次段への遷移はこれに従って小さくなる。

(3) 各状態への遷移確率は、総ての中継動作に於いて等しい。

以上の条件のもとで、 $P$  進符号系の性質として次の二つの場合を考える。

i) 符号等は各元の数値に於いて  $P$  を法として巡回的である。

ii) 信号の上下端、すなわち  $0, (P-1)$  に於いて  $0$  以下、 $(P-1)$  以上の状態に移る信号は  $0, (P-1)$  にそれぞれ吸収される。

次に  $p(n|m, s)$  を最初に  $n$  の状態にあった信号が  $s$  回の中継動作を経て  $m$  に移る遷移確率と定義すると i), ii) の場合についての  $p(n|m, s)$  は次の如く計算される。

i) に示した符号系

遷移確率を次の如く定めたとする。

$$\left. \begin{aligned} p(n|n+i, 1) &= p_i \\ p(n|n, 1) &= \alpha = p_0, \quad \theta = e^{2\pi i/P}, \end{aligned} \right\} \quad (4)$$

とすると

$$p(n|m, s) = \frac{1}{P} \sum_{r=0}^{P-1} \theta^{r(n-m)} \left( \sum_{v=0}^{P-1} (p_r \theta^{vr})^s \right) \quad (5)$$

ii) に示した符号系

遷移確率を次の如く定めたとする。

$$\left. \begin{aligned} p(n|n-i, 1) &= p_i & n-i \leq 0 \\ p(n|n+i, 1) &= q_i & n+i \leq P-1 \\ p(n|n, 1) &= \alpha \end{aligned} \right\} \quad (6)$$

$$p(n|m, s) \doteq \sum_{k=0}^{P-1} \left( \alpha + 2\sqrt{p_i q_i} \cos \frac{\pi k}{P} + \lambda'_k \right)^s$$

$$\times (x_m + x'_m)^{(k)} (y_n + y'_n)^{(k)} \cdot C_k \quad (7)$$

ここで  $x_m^{(k)}, y_n^{(k)}$  は次の如く示され、 $x'_m^{(k)}, y'_n^{(k)}$  は摂動項の第一近似によるものである。

$$x_k^{(r)} = \left( \frac{q_1}{p_1} \right)^{\frac{1}{2}} \sin \frac{\pi r k}{P} - \left( \frac{q_1}{p_1} \right)^{\frac{1}{2}(k-1)} \sin \frac{\pi r (k-1)}{P} \quad (8)$$

$$x_k^{(0)} = \left( \frac{q_1}{p_1} \right)^k \quad (9)$$

$$\left. \begin{aligned} y_j^{(r)} &= \left( \frac{p_1}{q_1} \right)^{\frac{1}{2}j} \sin \frac{\pi r j}{P} - \left( \frac{p_1}{q_1} \right) \sin \frac{\pi r (j-1)}{P} \\ y_j^{(0)} &= 1 \end{aligned} \right\} \quad (10)$$

又  $C_k$  は正規化定数として定まるもので、次の如く示される。

$$\left. \begin{aligned} C_0 &= \frac{p_1}{q_1} \frac{(q_1/p_1) - 1}{(q_1/p_1)^P - 1} \\ C_i &= \frac{2q_1}{P} \left\{ 1 - 2\sqrt{p_1 q_1} \cos \frac{\pi i}{P} \right\}^{-1} (i=0, 1, \dots, P-1) \end{aligned} \right\} \quad (11)$$

### 第三節 P 進符号系の群構成

以下議論では符号系の中に一つの距離系を与え、この条件のもとで符号系が群構成されるための十分条件を導き、その生成元の数进行計算する。まづ与えられた符号系として次のものを選ぶ。符号の各要素は  $0 \sim (P-1)$ 迄の数を取り、各要素間の操作として  $P$  を法とした加算を考える。この関係を式で示すと次の如くなる。尚  $\text{mod } P$  の加算は  $\oplus$  にて示す。

$$V_1 = (v_1^1, v_2^1, \dots, v_n^1), \quad V_2 = (v_1^2, v_2^2, \dots, v_n^2)$$

$$v_i^3 = v_i^1 \oplus v_i^2 \pmod{P} \quad i=1, \dots, n$$

$$V_3 = (v_1^3, v_2^3, \dots, v_n^3) \quad \text{となり}$$

$$V_3 = V_1 \oplus V_2 \quad (12)$$

又、符号系の距離は上の  $V_1, V_2$  に於いて、

$$d = \sum_{i=1}^n \min \{ |(v_i^1 + P) - v_i^2|, |v_i^1 - v_i^2| \} \quad (13)$$

と定める。

次に符号の構成の概略について説明する。先づ  $G_0(P^n, P^m)$  を次の如きものとする。

(1)  $G_0(P^n, P^m)$  は符号の長さ、すなわち次元が  $P^n$  である符号系である。

(2) この符号系の各要素は、この系の符号の直線結合で作られ、そのいずれの符号間の距離をとっても、距離は  $P^m$ 、又はそれ以上必ず離れている。

(3)  $G_0(P^n, P^m)$  は  $\overbrace{0, 0, \dots, 0}^{P^n}$  を単位元として含むアーベル群を作り、 $G_0(P^n, P^{m+1})$  も上と同じような意味を有するアーベル群である。

(4)  $G_0(P^n, P^{m+1})$  は  $G_0(P^n, P^m)$  の正規部分群である。

$G_0(P^n, P^m)$  が上の条件を満足すると  $G_0(P^{n+1}, P^{m+1})$  は次の如く構成される。

$$G_0(P^n, P^m) = G_0(P^n, P^{m+1}) + G_1(P^n, P^{m+1}) + \dots + G_r(P^n, P^{m+1}) \quad (14)$$

$$G_0(P^{n+1}, P^{m+1}) = \overbrace{G_0(P^n, P^{m+1}) \otimes G_0(P^n, P^{m+1}) \otimes \dots \otimes G_0(P^n, P^{m+1})}^P$$

$$+ \overbrace{G_1(P^n, P^{m+1}) \otimes \dots \otimes G_1(P^n, P^{m+1})}^P + \dots$$

$$\overbrace{+G_r(P^n, P^{m+1}) \otimes \cdots \otimes G_r(P^n, P^{m+1})}^P \quad (15)$$

このような方法で一般の  $G_0(P^i, P^l)$  が群構成される為の条件は更に一般化された次の定理で述べられることが分った。(Fig. 1.1 参照)

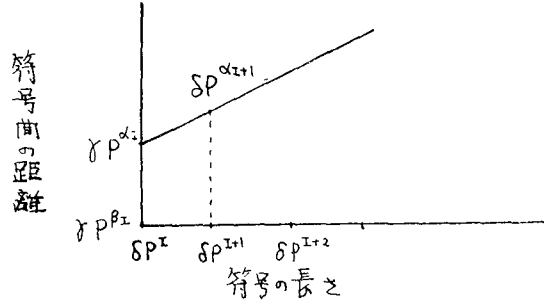


Fig. 1.1

[定理]  $G_0(\delta P^n, \gamma P^m)$  は次の (1)~(5) の条件をみたすとき群構成が可能となる。(以下の定義は前と同様で,  $\delta, \gamma$ , は任意の数である).

$$(1) \quad G_0(\delta P^I, \gamma P^{\alpha_I}), G_0(\delta P^I, \gamma P^{\alpha_{I-1}}), \dots, G_0(\delta P^I, \gamma P^{\beta_I})$$

は順次その前にある群を正規部分群として含む.

$$(2) \quad \alpha_n = \alpha_{n-1} + 1$$

$$(3) \quad \beta_n = \text{一定}, \text{ 又は } \beta_n = \beta_{n-1} + 1$$

(4)  $\overbrace{G_0(\delta P^n, \gamma P^{\alpha_n}) \otimes \cdots \otimes G_0(\delta P^n, \gamma P^{\alpha_n})}^P$  は  $G_0(\delta P^{n+1}, \gamma P^{\alpha_{n+1}})$  を正規部分群として含む.

(5) (3) の仮定の中, 前者のときには  $\overbrace{G_0(\delta P^n, \gamma P^{\beta_n}) \otimes \cdots \otimes G_0(\delta P^n, \gamma P^{\beta_n})}^P$  は  $G_0(\delta P^{n+1}, \gamma P^{\beta_{n+1}})$  の正規部分群である. 簡単な例として (1)~(5) の条件を満足する符号系に次のものがある.

$$G_0(P^n, P^{\alpha_n}) \text{ として } G_0(P^n, P^n) = \overbrace{(0, \dots, 0)}^P \\ (1, \dots, 1) \\ ((P-1), \dots, (P-1))$$

又  $G_0(P^n, P^{\beta_n}) = G_0(P^n, P^0)$ , すなわち  $P$  進符号系の全体をとる. 次に符号系の生成元の数求めよう. 以下の如く定義する.

${}_n x_m(P)$ ;  $G_0(\delta P^n, \gamma P^m)$  に属する符号の数  ${}_n \gamma_m(P)$ ;  $G_0(\delta P^n, \gamma P^{m-1})$  の  $G_0(\delta P^n, \gamma P^m)$  の展開に於ける剰余類の数, 以下簡単の為  ${}_n x_m, {}_n \gamma_m$  と略記する. 今  $\log {}_n x_m = {}_n K_m$  とおくと  ${}_n K_m$ , の間には次の偏差分方程式が成立することが分る.

$${}_{n+1} K_{m+1} = {}_n K_m + (P-1) {}_n K_{m+1} \quad (16)$$

一般にこの式の解は (Fig. 1.1) に示した境界条件より定まってくる. 複雑な系については計算が厄介になるので, 先述の簡単な符号系について計算すると次の如く求められる.

$${}_n x_m(P) = P^n - \sum_{i=0}^{m-1} {}_n \Pi_i(P) \quad (17)$$

$$\text{ここで } {}_n \Pi_m(P) = (P-1)^{n-m} {}_n C_m \quad (18)$$

これは  $p=2$  とき  $n x_m(2) = 2^{2^n} - \sum_{i=0}^{m-1} n C_m$  となり Muller, 本多等で示された形と一致する.

#### 第四章 誤りのない計算機の基本的考察

従来の計算機に於ける, 誤りに対処する方法として属々同一の情報を繰返して用いるものがある. この方法は通信理論の立場から考えて甚だ非能率的な方法である. これに対し, ここでは, 今迄開発された error correcting code を積極的に利用することにより, はるかに能率的な, 計算機に於ける符号化の方法の一般論を述べたものである. 又此の方法の実際的な手段として, 本論文, 第三章, 第一節 (9) の方法も有効に用いられる.

#### 第二章 多数決回路の理論

本論文では多数決回路の出力状態に  $N$  次元 vector を対応せしめ, この空間の位相として Hamming distance を導入し, 理論的な展開及びこれを実際上の回路の解析, 合成に応用したものゝを示すものである.

##### 第一節 定義, 第一段階についての状態及び operation について

(i) 状態 以下簡単のため入力の状態は  $2n+1$  元のものを取る. 空間上の点は  $0,1$  の information state を有する  $(2n+1)$  次元の vector space とする. (1 を出力のある state) 今ある入力  $r$  を中心とした M.P.C (以下多数決回路をこの如く略記) を  $M[V]$  とするとこの出力は次の如く簡単に示し得る. 即ち  $M[V]$  は  $V$  を中心とし,  $V$  からの距離が  $n$  以内の総ての点の集合である.

$$M[V] = \bigcup_{i=1}^{D \leq r} V_i \quad (1)$$

Fig. (2.1) を参照 ( $D$  は  $V$  よりの距離)

##### (ii) operation

a) 拡大;  $E$  今多数決回路の入力として  $2n+1$  以上取り得るものとし入力として  $(2n+1)$  次元を考える. 前の  $M[V]$  では  $V$  を中心とした半径  $n$  以内の点であった. この operation は  $V$  を中心, 半径  $(n+r)$  以内の点を取るものである.

$$E[V] = \bigcup_{i=1}^{D \leq n+r} V_i \quad (2)$$

以下拡大の分  $r$  を含めて  $E[2r]$  と書く (Fig. 2.2 を参照)

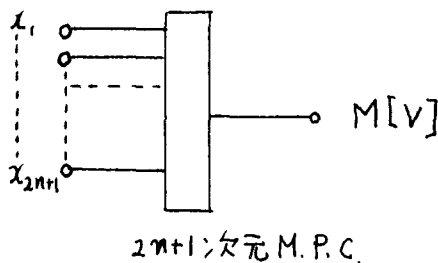


Fig. 2.2

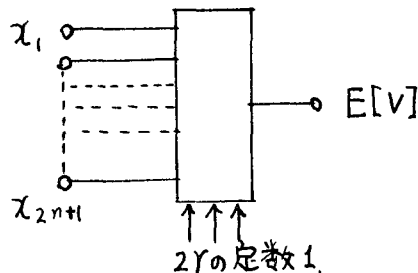


Fig. 2.3

b) 縮退;  $D$   $[E]$  と逆に  $V$  を中心として半径が  $(n-r)$  以内の点を取る.

$$D[V] = \bigcup_{i=1}^{D \leq n-r} V_i \quad (3)$$

(Fig. 2.3 を参照)

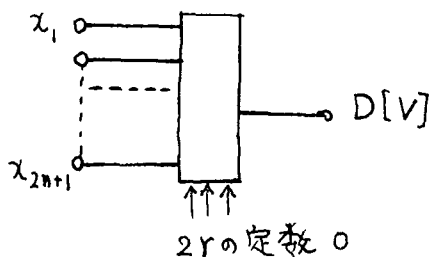


Fig. 2.4

有する点の集合をとるものとする。それ故  $r=n$  のときは論理和となる。

(c)  $P[S, 2r]$ ; out put state としてこれは各  $S_i$  についての signal state が  $(n+1-r)$  以上の overlap を有する点の集合をとるものとする。 $r$  が  $n$  に等しいときには論理積を示す。

(d) 反転  $C[S]$ ; 考察より自明の如く、全 signal space は  $2^{2n+1}$  個の vector となる。今この空間を  $C$  とするとき、 $S_i$  の反転とは  $C$  に対しての  $S_i$  についての complement をとるものとし、これを  $C[S_i]$ 、又は簡単に  $S'_i$  と書く。

### 第二節 基本定理 (以下元は $2n+1$ を対象とする。これは一般元数 $N$ のときにも簡単に拡張し得る)。

定理 (1) operator  $M$  と  $C$  は交換可能である。

定理 (2)  $C[D[A, 2r]] = E[A', 2r]$ ,  $C[E[A, 2r]] = D[A', 2r]$ , ただし  $A$  は入力 state の集合を示し、 $A'$  はその complement 表示であり、 $2r$  は縮退、拡大の度合である。 $A, A'$  の意味は、 $A = [S_1, S_2, \dots, S_{2n+1}]$   $A' = [S'_1, S'_2, \dots, S'_{2n+1}]$  を示す。

[定理] (3)  $2n+1$  次元の M.P.C. に於いては、常にその変換後の集合について  $2n+1-r$  度の overlap の集合の数は  $r$  度の overlap する集合の数に等しい。

[定理] (4)  $2n+1$  次元の M.P.C. に於いては常にその変換後の出力 state の数は  $2^{2n}$  に等しい。

[定理] (5)  $\bigcup_i S_{i,1} \cap S_{i,2} \dots \cap S_{i,n-r} = \bigcap_i S_{i,1} \cup S_{i,2} \dots \cup S_{i,n+r+1}$

但し  $S_{i,r}$  は前の集合で、 $i$  は総ての入力、 $S_i$  の集合についてとることを意味する。

[定理] (6)  $M[x_1^r, x_2^r, \dots, x_{2n+1}^r]$  於いて、 $x_{2n+1}^r = M[x_1^{r-1}, x_2^{r-1}, \dots, x_{2n+1}^{r-1}]$  とするとき

$$M[x_1^r, x_2^r, \dots, x_{2n+1}^r] \simeq M[M[x_1^r, x_2^r, \dots, x_{2n}^r, x_1^{r-1}], M[x_1^r, x_2^r, \dots, x_{2n}^r, x_2^{r-1}] \dots M[x_1^r, x_2^r, \dots, x_{2n}^r, x_{2n}^{r-1}] x_{2n+1}^{r-1}]$$

[定理] (7) 合成される出力系がその中に共通点を含むときは M operation のみでは、その系を合成することは出来ない。

### 第三節 応 用 例

定理に示されるものの中で、実際の論理回路に応用される一例を示す。即ち定理 (6) を高速加算回路に適用する。通常の加算器では、(Fig. 2.4) に示される如く、carry が下より一つづつ上がってゆく。そのため  $N$  ビットの加算には原理的に  $N$  回の carry propagation を考える必要がある。これに対し (Fig. 2.5) で示す例では carry は 2 つ毎に propagate するので、加算時間が (Fig. 2.4) で示すものに比し、2 倍に速くすることができる。その構成法の原理は (Fig. 2.5) を参照すれば明らかである。またこの方法は更に何桁にでも拡張可能であるが、4 桁の例が (Fig. 2.7) で示される。しかし実際的な見地からは回路構成があまり複雑になると意味がなくなるので 3 桁程度が実用上の上限であろう。



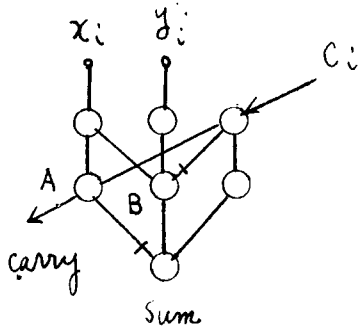


Fig. 2.4

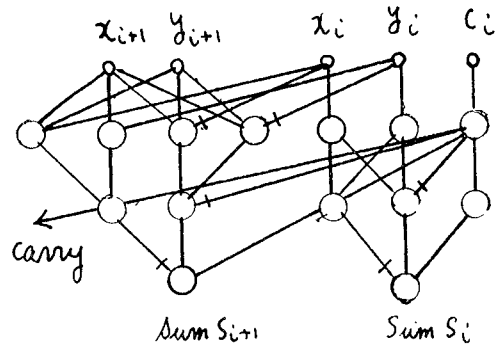


Fig. 2.5

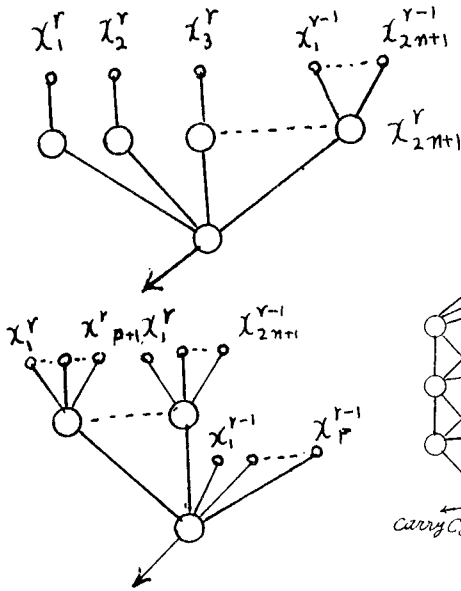


Fig. 2.6

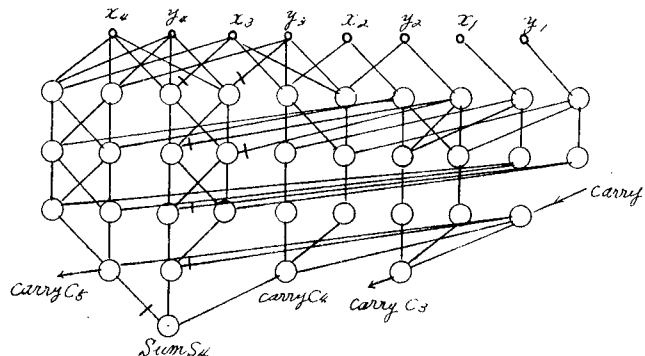


Fig. 2.7

#### 第四節 回路合成式への応用

今迄の基本概念に従い、3入力四元数の場合については、その回路構成法に必要な表が作成され、この表により総ての Boole 表示された関数系につき簡単に回路が合成される。これは多数決回路の持つ特色を有効に利用したもので、特に出力状態を示す単一項の項数が多い程、有効さを増す。例えば  $y = x'y'zu + x'yzu' + x'yzu + xyzu$  については簡単に (Fig. 2.8) に示される如く合成される。

ここで示した方法は更に入力数、元数がともに大きくなったような系にも適用できる。しかし表の作制、及び適用がかなり複雑になる。そのため実際の応用には電子計算機を用いることになる。

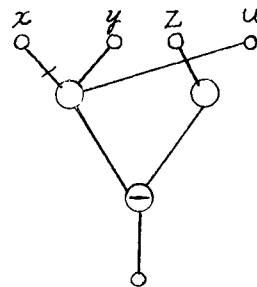


Fig. 2.8

### 第三章 電子計算機の理論

本論文の一節では電子計算機構成に関する一般論が述べてあるが、ここでは特にその中より二

つの例を取り出して説明する。一つは定数と数の絶体値比較の問題であり 他は逆関数が加法定理を満足する関数計算組み込みの問題について考察された結果を示すものである。

### 第一節 2'S Complement 表示に於ける数の絶体値比較について

計算機はその情報処理の制御に於いてある register 中の数が与えられた定数より大きい小さいかの弁別を必要とする場合が属々生ずる。例えば次の節に示す例であるとか、浮動小数点法の加減算に於ける桁合わせのときである。後者の例では、例えば 2 進  $N$  ビットの register を想定する時、同じ種類の register 二つの数の加減算に於いて、その両者の exponent の大きさが  $N$  以上あれば、その結果はただ大きい方の数のままで良い。このときには両者の exponent の差の絶体値が  $N$  より大きい小さいかの弁別を行う必要があるわけである。

$$\text{以下} \quad |X| < A \quad (1)$$

の検知について考える。回路構成の上から種々のものが考案されるが、次の加算回路を作る方法に従う。

$$X + 2^N - A - Z_1 \quad X \leq 0 \quad (2)$$

$$X + A - 1 = Z_2 \quad X < 0 \quad (3)$$

実際の回路では勿論  $Z_1, Z_2$  を作らずに overflow bit, 又は sign bit を検知すれば良い。ここでは sign bit 検知の場合について述べる。

尚 (3) 式は 2'S complement の代りに 1'S complement をとって計算させることを意味する。この結果だけを示すと Fig. (3.1), F(3.2) を参照して  $|X| < A$  なる条件はそれぞれ次の如く求められる。

$$(1) \quad 2^{N-1} - A \leq A \quad \text{のとき} \quad (4)$$

$$\text{sign}(Z_1) \overline{\text{sign}(Z_2)} = 1 \quad (5)$$

$$(2) \quad 2^{N-1} - A \leq A \quad \text{のとき} \quad (6)$$

$$\text{sign}(Z_1) + \overline{\text{sign}(Z_2)} = 1 \quad (7)$$

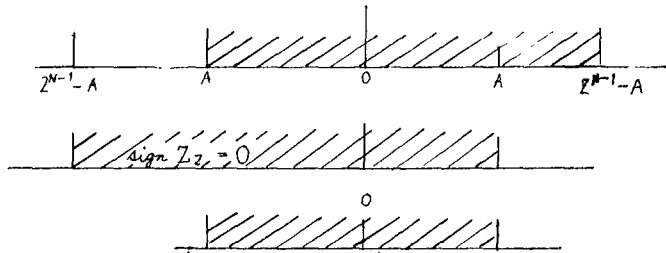


Fig. 3.1

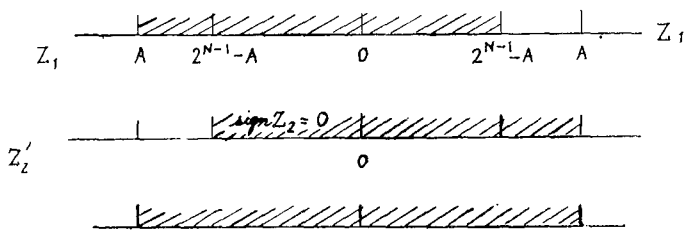


Fig. 3.2

この方法のパラメロン回路による実際の回路構成については第三章第三節の SENAC-1 の説

明に於ける comparator を参照されたい. (Fig. 3.5) を参照.

## 第二節 逆関数が加法定理を満足する関数を求める組み込み指令についての基本的考察

2 進計算機を使用して  $y=f(x)$  から  $y$  の値を求めるのにプログラムの上から求めるより, 既に計算機の中にある組み込み指令で計算できれば, 甚だ便利である. ここでは  $y=f(x)$  の関数系が適当な条件を満たせば, 上に述べたことが行なえるし, 又一般的にも若干の subroutine を附加するだけで  $y=f(x)$  が求められることを示す.

$$(1) \quad y=f(x), \quad x=f^{-1}(y) \quad (8)$$

に於いて, 次の逆関数  $f^{-1}$  に次の如き加法定理が成立するものとする.

$$f^{-1}(y_1+y_2)=F\{f^{-1}(y_1), f^{-1}(y_2)\} \quad (9)$$

ここで (9) 式から更に  $f^{-1}(y_1)$  について explicit な形で解けるものとし, その形を

$$f^{-1}(y_1)=G\{f^{-1}(y_1+y_2), f^{-1}(y_2)\} \quad (10)$$

としよう. 又以下簡単のため倍量関数  $K(x)$  を次の如く定義する.

$$f^{-1}(2y_1)=F\{f^{-1}(y_1), f^{-1}(y_1)\}=K(x_1) \quad (11)$$

$$\text{又} \quad f^{-1}(2m)=\alpha_m \quad (12)$$

$$\text{で} \quad f^{-1}(2m) \text{ は } 2^{m+1} > x \geq 2^m \quad (13)$$

の範囲で単調関数であるとする. もっとも (13) が示す範囲は, 以下に示すように scaling で適当な値に設定できるから, 以下の議論では便宜上  $m=0$  として,

$$f^{-1}(2^0)=\alpha \quad (14)$$

について考えてゆく. 以下の問題は  $x$  を与えたときに,  $y$  を求めることである. ここでは考える計算機の accumulator の大きさを  $N$  ビットとし  $2 > y > 0$  として計算を行なう例を示す.  $y$  の一般形は次の如き形である.

$$y = \sum_{i=0}^{N-1} a_i \left(\frac{1}{2}\right)^i, \quad a_i = 0, 1 \quad (15)$$

方法は (14) 式を用いて,  $f^{-1}$  が単調増加関数の仮定の下で  $a_0, a_1, \dots, a_{N-1}$  を逐次求めてゆく.

まず  $a_0$  について明らかに,

$$f^{-1}(y) < f^{-1}(1) = \alpha \quad a_0 = 0 \quad (16)$$

$$f^{-1}(y) \geq f^{-1}(1) = \alpha \quad a_0 = 1 \quad (17)$$

$a_0 = 1$  なら (10) 式の関係より

$$f^{-1} \left( \sum_{i=1}^{N-1} a_i \left(\frac{1}{2}\right)^i \right) = G(x, \alpha) \quad (18)$$

又 (11) 式より

$$f^{-1} \left( \sum_{i=0}^{N-2} a_{i+1} \left(\frac{1}{2}\right)^i \right) = K\{G(x, \alpha)\} = S(x, \alpha) \quad (19)$$

$a_0 = 0$  なら明らかに

$$f^{-1} \left( \sum_{i=0}^{N-2} a_{i+1} \left(\frac{1}{2}\right)^i \right) = K(x) \quad (20)$$

(20), (21) の関係より, 結局  $a_1$  は次の如くなる.

(i)  $a_0=1$  のとき

$$S(x, \alpha) < \alpha \quad a_1 = 0$$

$$S(x, \alpha) \geq \alpha, \quad a_1 = 1$$

(ii)  $a_0=1$  のとき

$$K(x) < \alpha, \quad a_1 = 0$$

$$K(x) \geq \alpha, \quad a_1 = 1$$

以下この方法を  $a_2 \cdots a_{N-1}$  まで行なわせれば, 遂次我々の欲するものを求め得たことになる. 次にこの応用例として  $y = \log_2 x$  の計算を行なわせる計算機内の information の flow chart を示すと (Fig. 3.3) の如くなる.

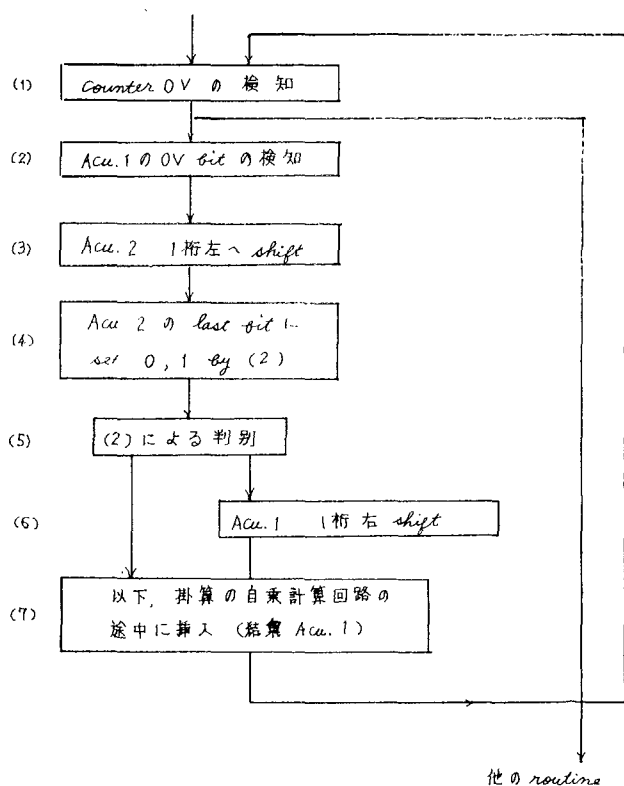


Fig. 3.3

その他  $\cos^{-1}x$ ,  $\tan^{-1}x$ ,  $\int_0^x \frac{dx}{\sqrt{(1-x^2)(1-k^2x^2)}}$  etc の計算についても同様に行なえる.

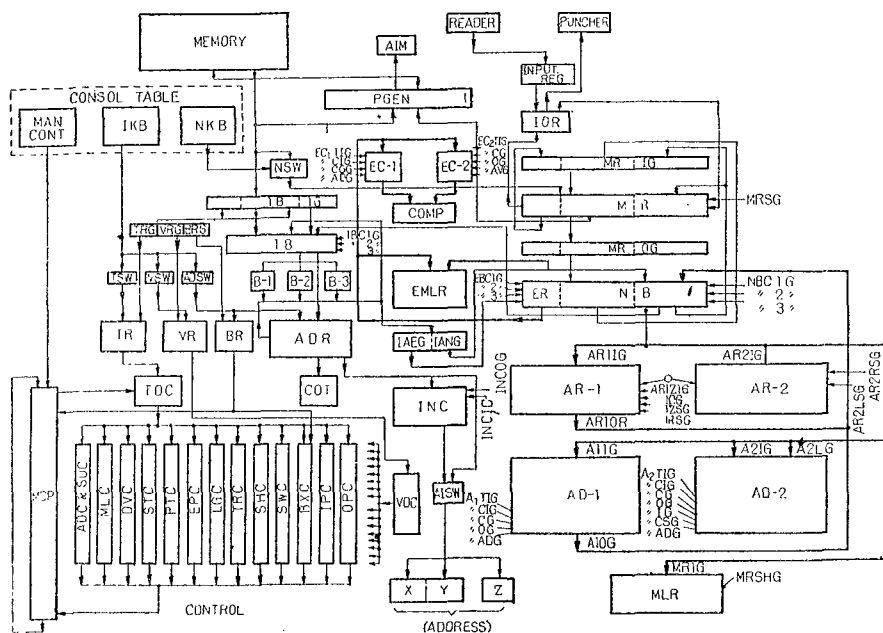
### 第三節 電子計算機 SENAC-1 について

今迄の考察を土台にして設計された例

電子計算機 SENAC-1 についてその概略を説明する. 全体の構成は (Fig. 3.4) に示す block diagram の如くである.

(1) 演算回路の構成

演算回路に用いられた register 群は次の如である.



5Fig. 3.4

番号	名	称	略 称	構成桁数
1	Memory Register		MR	48
2	Accumulator Register 1		AR1	41
3	Accumulator Register 2		AR2	40
4	Adder 1		AD1	41
5	Adder 2		AD2	40
6	Exponent counter 1		EC1	9
7	Exponent counter 2		EC2	9
8	Numerical Bus		NB	41
9	Exponent Bus		EB	8
10	Multipliland Register		MLR	40
11	Exponent Multiplicand Register		EMLR	8
12	Instruction Bus		IB	12
13	Input Register		IR	6×2
14	Input output Register		IOR	6
15	Cycle Counter		B Box	12×1 6×4
16	Adress Adder		ADR	12
17	Counter		COT	6
18	Type Variant B box Register		TVBR	4×3
19	Instruction Counter 1		Inc 1	12
20	Instruction Counter 2		Inc 2	12
21	Comparator		Comp	8
22	Parity Generator		PG	50

演算回路の中の一例として Comparator を取り上げる。これは第一節の実際への応用回路でもある。SENAC-1 の Accumulator 1,2 はそれぞれ sign bit を含めて 40 ビット、又その指数部は Exponent Counter, EC1, EC2 で取り、扱われ共に 8 ビットの adder で構成される。(top bit

は sign) そのため accumulator の桁合わせで (EC1) と (EC2) (ここで (ECi) は ECi の内容) の差が link のないときには 39 桁以上, link のあるときには 78 桁以上の場合には実際の加算は行なわないで良いことになる. 以上の準備でまず Comparator の有すべき 4 つの基本的機能につき述べてみる.

- (1) (EC1), (EC2) のいずれが大きいか,
- (2) (EC1)=(EC2) の判定
- (3) (EC1) と (EC2) の差の絶対値が 39 桁以下桁の判別
- (4) (EC1) と (EC2) の差の絶対値が 78 以下かの判別

以上述べた 4 通りの操作が基本的なものであり, 実際の回路では結局 (EC2) - (EC1) を行なってその後 39, 79 との大小判別の検定を行なっている. 実際の回路は (Fig. 3.5) である.

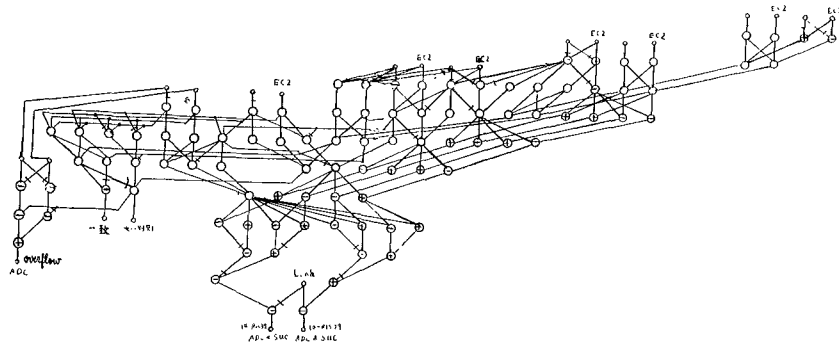


Fig. 3.5

## (2) 制御回路

制御回路に於ける制御は次のものよりなる.

	Memory Path Control	(MPC)
0	Addition Control	(ADC)
1	Subtraction Control	(SBC)
2	Multiplication Control	(MLC)
3	Division Control	(DVC)
4	Store Control	(STC)
5	Put Control	(PTC)
6	Exponent Control	(EPC)
7	Logical Control	(LGC)
8	Transfer Control	(TRC)
9	Shift Control	(SHC)
D	Switch Control	(SwC)
F	B-box Control	(BXC)
J	Input Control	(IPC)
K	Output Control	(OPC)

実際の制御は更に O~K 迄の type を細分する Variant により詳しい制御を行なう. SENAC-1 に於ける制御の中で特に特色のあるものは最初に示した Memory Path Control で, この方法は特に drum 等比較的 access time の多い memory system を用いた場合には有効な方法である. この方法の骨子は, 今ある指令を実行しているとき, 次の指令と, それに必要な数値の読み出しを, 同時に, 即ち並行に行なわんとするものであり, そのため見掛上の access time を相当に軽減することが可能となる. 此の方法の大略は (Fig. 3.6) に示してある.

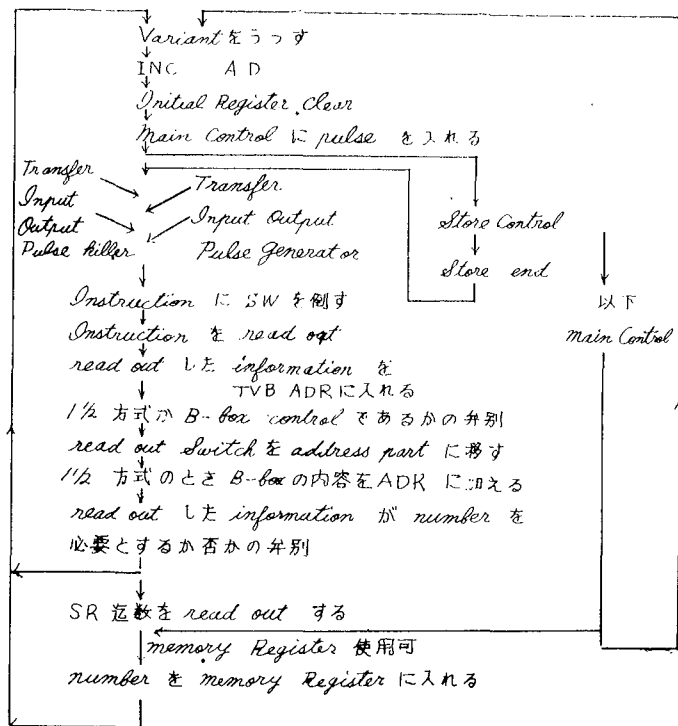


Fig. 3.6

## 結 論

本論文に於いては、第一章で計算機設計上、最も基本的な符号系の問題を一般  $P$  進の場合から論じ、これらが実際の automatic error correction にどのように応用されるかを示した。ここに得られた結果は更に計算機を十分に活用することにより、より複雑な系を有する automaton の設計に資することが可能であり、これ等の具体的方法に関しては更に将来の研究に俟つところ大である。

第二章に於いては、多数決回路の理論を、新たな幾何学的な視野から出発して考察を進めた。この方面の研究を積極的に推進するには  $n$  次元の幾何学の理論及び技法が更に利用されねばならず、これと代数的な方法との結合により、よりすっきりした統一理論が確立されると思う。

第三章の電子計算機の理論は主として現在建設される計算機を対象にした一般理論、及びその応用としての SENAC-1 の説明が行なはれた。実際上の system の問題に関し、若し（第一章で述べたような、より高級化された符号系が計算機の内部情報を示すものとして利用されるならば、更に複雑な演算、制御の理論が展開されねばならない。しかし、この問題は必ずその将来に於いて我々が直面せねばならない問題であり、今後これ等の問題点を充分に開発しておくことが必要である。

## 審 査 結 果 要 旨

近年電子計算機の発達は目覚ましいものがあるが、その主なる目標は大型化および高速度の点である。しかしこのような高性能の電子計算機の構成に際しては、従来の小型、低速の計算機には見られなかった多くの新たな問題が提起され、未解決の点も少なくない。本論文は大型かつ高速の電子計算機構成上の最も基本的な問題に関する理論的な研究を述べたもので3章よりなっている。

第1章は、電子計算機の複雑化に伴って要求される信頼度向上の問題を論じたものである。この問題を物理的な素子の信頼度の向上によって解決するには技術的な限度がある。それゆえこの章では計算機全体を一つの情報処理機構と考え、情報理論で発展された誤差訂正符号の考え方を適用し、計算機の信頼度の向上をはかるといむ新しい考え方を述べている。すなわち計算機内で情報を表示する符号に冗長度をもたせることにより、雑音や素子の誤動作に起因する誤りを自動的に訂正できることを示し、同時にこのような性質をもつ新しい符号系を与えている。

第2章は、パラメトロンのような多数決論理素子を使用する多数決回路の構成理論を述べている。大型の電子計算機の論理設計に際しては、使用される回路素子の数を減少させることが問題となる。従来多数決回路の合成、解析に当たってはブール代数を利用する代数的方法が用いられているが、著者は多次元幾何学的方法を用いてこの問題に対する新しい手法を展開した。実際この手法によれば回路素子の数を著しく減少できることが多くの実例により示されている。

第3章は、電子計算機 SENAC-1 の具体的な設計に関連して行なわれた電子計算機成理論の研究を述べている。すなわち多くの新しい命令を含むオーダーコードの設定、数および命令の表示に関する基本的考察、演算回路と制御回路の具体的設計等が述べられており、これらの成果は SENAC-1 の設計に実際応用されており、また今後の電子計算機設計の指針となるものである。

以上を要するに本論文は新たな着想になる電子計算機の理論構成に関する研究によりその基礎を確立したものであって、電子計算機工学の発展に寄与するところ少なくない。

よって本論文は工学博士の学位論文として合格と認める。